

XMOS の開発

林 豊*

電子技術総合研究所電子デバイス部半導体デバイス研究室長

要旨

MOSLSI の要素素子である MOS トランジスタの微細化設計指針として、IBM の R. Dennard が発表した *scaling rule*¹⁾ (比例則) が、本技術の開発開始当時 1980 年には、すでに世界的に使用されており、その先も長く続くと一般に思われ、かつ期待されていた。しかし林はその指針がやがて破綻すると危惧して、新しい微細化の指針を探索していた。

MOS トランジスタのチャンネル形成領域を必要最小の厚さに閉じ込めることにより *scaling rule* の呪縛から開放され、かつ集積密度を高めることの出来る設計指針と構造の提案と実証を行った。MOS トランジスタのチャンネル形成領域を必要最小限に薄くしてゲートで両側から挟むことにより^{2), 3)}、短チャンネル化を進めるときに必ず遭遇するパンチスルーに代表される問題を解決した。この MOS トランジスタの断面構造がギリシャ文字の Ξ と似ていることからこのトランジスタを XMOS と命名した。(Ξ の中央のバーはチャンネル、上下のバーはチャンネルを挟むゲート。) 開発着手の時代の先端量産 MOS トランジスタのゲート長は 2 μm であったが、この XMOS は 20nm レベルの世代も視野に入れて開発が進められた^{14), 15), 16)}。XMOS の最初の提案は縦型²⁾であったが、当時、この縦型の試作のための特別な予算が認められなかったので、研究室で活用可能な試作装置の関係からまずは横型³⁾の開発を進めた。

その後縦型の XMOS は同様な構造で日立中研から 1989 年に DELTA⁴⁾、1998 年に Folded channel MOS⁵⁾ という名称で学会発表され、続いて 1999 年に U.C. Berkeley から finFET⁶⁾ という名称で学会発表され、この呼称が定着し、世界的に実用化に向けた開発が行われた。

intel 社はこのトランジスタを tri-gate と改名して開発を続けてきたが 2011 年に 22nm 世代の高性能マイクロプロセッサ 用 CMOS LSI へ導入し、製品化を発表した⁷⁾。

1. はじめに

本技術が提案された 1980 年は、図 1 に示すように、まだ Moore の法則⁸⁾にしたがった LSI の進展の真最中であった。Gordon Moore は 1965 年に LSI の集積度の年次推移に対する法則性を発見した⁸⁾。この法則は LSI の 1 チップに集積されるトランジスタ数が 1 年で 2 倍の指数関数的な進化になっていたと言う実績に基づき、今後少なくともそれから 10 年はこの傾向が続くであろうと言うものである。10 年を過ぎても予言された指数関数的な進化は実現され、その後 2 倍となる年数は時代により 1.5 年、2 年と変化してゆくも

*現在：豊田工業大学半導体研究室招聘研究員、大阪大学産業科学研究所招聘研究員

の、LSI 産業の進展の指針とされるようになった。

この進化を支える技術要素は、MOSLSIの主要部分（MOSトランジスタのゲート長、配線ピッチなど）の寸法の微細化、チップサイズの拡大、そのための先端およびcost-effectiveな製造技術・装置である。MOSLSIの微細化については、そのゲート長、配線ピッチの寸法が、この時代では約3年ごとに0.7倍になるという結果を導いた。このほかチップサイズの増大の効果もあり（この結果ウェファ径も増大していった）、トランジスタ数の2倍/2年～4倍/3年が維持されていった。次の世代のためのcost-effectiveな微細加工技術・装置の開発には3年程度の間隔が必要であった（そのためのシーズ開発は更に前から着手されるが）。産業界にはこのサイクルに沿って製品開発をしてゆけば先端レベルからおいてゆかれることなく、競争に参加できるという安心感と明快な努力目標があった。

微細化素子の設計については、R. Dennardにより、MOSトランジスタ、配線の微細化に対する設計指針 scaling rule¹⁾（比例則）が提案され、産業界はそれに従って3年ごとに0.7倍に微細化したMOSトランジスタおよび配線の設計を更新していった。

したがってMOSLSIの製造技術の開発は主としてフォトリソグラフィ、エッチングなどの量産技術の微細化に焦点があてられていた。この開発には多額の資金と人数が必要であったため、国立研究所は蚊帳の外に置き去りにされていた。

2. 関連科学技術の発展の推移

上記の scaling rule は表1に示すように、MOSトランジスタの寸法、電圧を $1/k$ とし、チャンネル形成領域の不純物濃度を k 倍とすることにより回路の遅延時間は $1/k$ とすることが出来る。かつ回路の電力密度が変わらないので、熱放散の問題で集積度に制限が生じない。という設計指針である。

表1

トランジスタまたは回路パラメータ	Scaling Factor
ゲート酸化膜厚 t_{ox} 、チャンネル長 L 、チャンネル幅 W	$1/k$
チャンネル形成領域の不純物濃度 N_a	k
電圧 V	$1/k$
電流 I	$1/k$
容量 $\epsilon A/t$	$1/k$
遅延時間/回路 VC/I	$1/k$
電力消費/回路 VI	$1/k^2$
電力密度 VI/A	1

ここで「チャンネル形成領域」とはドレイン・ソース間の基板表面でゲートの下にチャンネルが形成される半導体領域の名称。その領域内でドレインからの空乏層（図2の W_D ）がソースの方向へ広がり、ドレイン・ソース間電流のゲート電圧による制御性が損なわれる（ここではパンチスルーが起こると略称している）のを防ぐために、従来のプレーナー形MOSトラ

ンジスタではチャンネル形成領域への不純物添加を不可欠とした。ここで不純物とは磷、硼素等の Si へ電子、正孔を供給する donor、acceptor (価電子制御不純物) を言い、金、鉄等の再結合準位を形成する不純物は含まない。

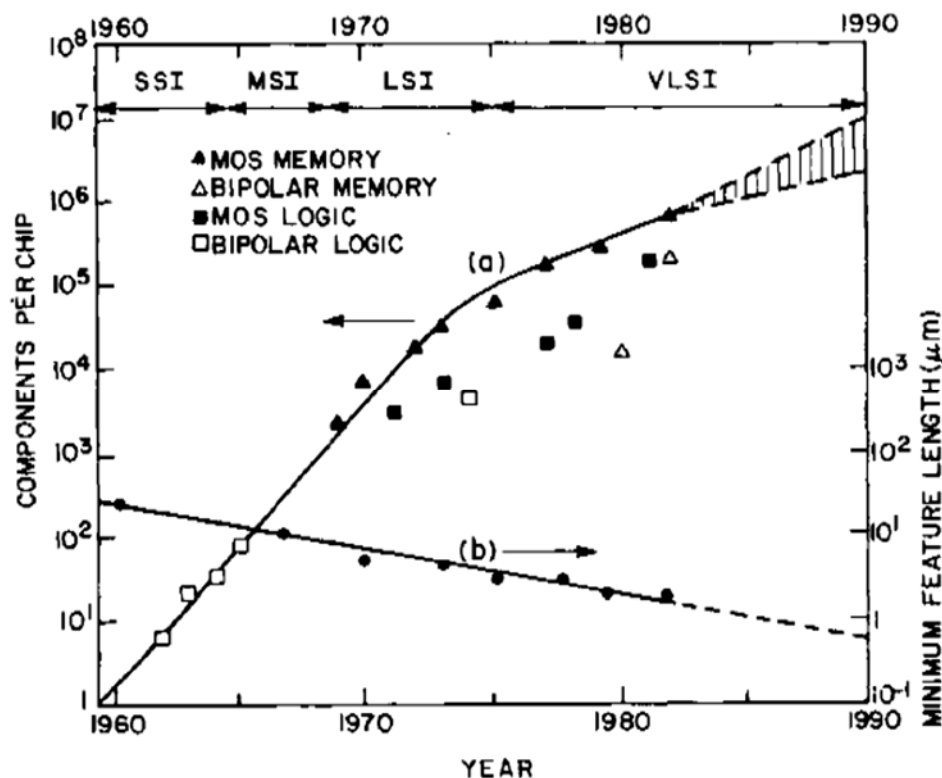


図 1⁹⁾. (a) 素子数/(ICチップ)の指数関数的増加。(b) 最小素子寸法の指数関数的減少。(CopyRight: JSAP)

MOSLSI のゲート長は、図 1⁹⁾に示すように、1980 年には製品レベルでは $2\mu\text{m}$ になっていた (チャンネル長はゲート長より小さいが技術推移はゲート長で表現されることが多い)。この時代の次世代向けに特性の改善されたプレーナリー MOS トランジスタとして図 2 のような $1\mu\text{m}$ チャンネルの MOS トランジスタが提案されていた¹⁾。ドレイン・ソース電圧は 4V 、ゲート酸化膜厚 t_{ox} は 350\AA 、チャンネル形成領域の不純物濃度は $4 \times 10^{16}\text{cm}^{-3}$ である。

この scaling rule に沿って図 2 の MOS トランジスタを (2010 年代に向けて) チャンネル長を 25nm まで縮小すると、 $k=1\mu\text{m}/25\text{nm}=40$ であるから、

- ・ゲート酸化膜厚 $= 9\text{\AA}$ 、
- ・チャンネル形成領域の不純物濃度は $1.6 \times 10^{18}\text{cm}^{-3}$ となってしまう。

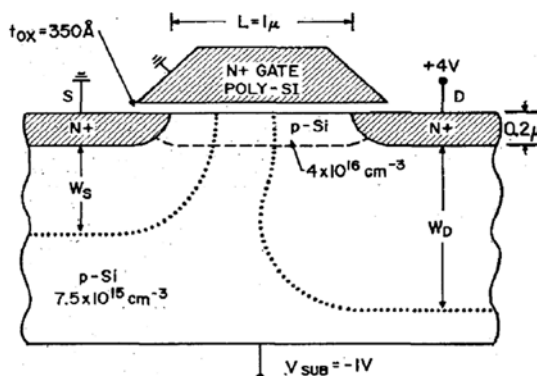


図 2. $1\mu\text{m}$ の世代へ scale-down したデバイス構造。チャンネル形成領域へ不純物をイオン注入している¹⁾。

(CopyRight: IEEE)

- ・ドレイン・ソース電圧は $0.1V$ となってしまう、熱雑音電圧 kT/q の 4 倍となり回路動作可能な下限電圧となってしまう。
 - ・ゲート酸化膜にはトンネル電流によるリーク電流が流れる。
 - ・チャネル形成領域の不純物濃度をここまで増加させてもドレインからの空乏層（図 2 の W_D ）の伸びはチャネル長以上になりパンチスルーが問題になる。
 - ・チャネルキャリア移動度が不純物散乱効果とゲート絶縁膜厚の減少による強電界により低下して電流は小さくなり、
 - ・ $L=25nm$ 、 $W=25nm$ のチャネル部分の不純物原子の数は 30 個レベルとなり、不純物 1 個の増減でゲート閾値電圧に大きなバラツキが生ずる。
- 残念ながら 1980 年代のプレーナー-MOS トランジスタ構造を *scaling rule* を使って 25nm レベルまでは縮小設計できないことがわかる。

3. 当該科学技術実現のキーとなった主要なポイント

上述のように *scaling rule* は 25nm レベルまでの時代になる前に限界を迎えてしまっていることが予測された。R. Dennard の *scaling rule* の次にくる MOS トランジスタの設計思想を探索した結果、例えば図 3²⁾ に示すように、

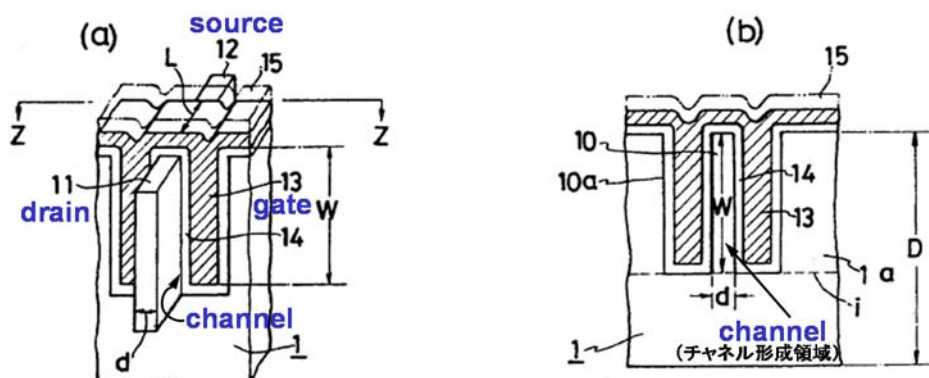


図 3. 縦型 X MOS のデバイス構造²⁾。(a) 鳥瞰図、(b) ゲート部分の断面図。

チャネル形成領域を可能な限り薄くし、その両側を絶縁ゲートで挟むトランジスタ構造を提案した。この構造を採ることにより、次の効果が予測された。

- ・チャネル形成領域に高濃度不純物添加なしでもパンチスルーは生じない、*sub-threshold slope* S は理論限界近くまで小さく出来、スイッチ効率の改善と低電力化に寄与する。
- ・チャネル形成領域に高濃度不純物が不要故、チャネルキャリア移動度の低下が少ない。
- ・チャネル形成領域に高濃度不純物が不要なため、チャネルの微細寸法化に伴う不純物原子数バラツキによるゲート閾値電圧 V_{th} のバラツキが緩和される。
- ・従来の MOS トランジスタの *scaling* で決められるより厚いゲート絶縁膜が可能。
- ・ゲート閾値電圧は従来と異なり、チャネル形成領域の不純物濃度でなくゲート材料の仕事関数で設計する。

・従来のプレーナー形の MOS トランジスタで基板の占有面積をとっていたチャンネル幅 W を、図 3 のように縦方向に配置すれば、トランジスタの集積密度も増加する。

しかし、図 3 のような縦構造の試作には、当時の加工技術では困難なアスペクト比の高いエッチング技術とサブミクロン厚のチャンネル形成領域を形成するリソグラフィ技術が必要で、その技術・装置の開発、導入が必要であったが、予算が得られなかった（所内企画レベルでの理解が得られず）ため縦構造の試作を繰り返してデータを蓄積することは困難であった。そのため研究室で活用可能な装置で試作可能な、これを横にした図 4 に示す横

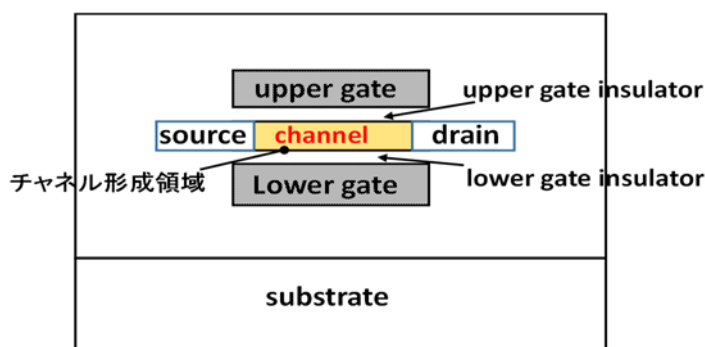


図 4. 横型 XMOS の構造

バーがチャンネル、上下のバーがチャンネルを挟むゲートに対応) ので、XMOS と命名した。XMOS は図 4 の横型と図 3 の縦型があるが、MOS トランジスタの IV 特性に関しては縦型も横型も同じはずであるので、新規高額予算とマンパワーを必要としない横型で原理確認を行った。

図 5 は I_{ds} - V_{gs} 特性のチャンネル形成領域厚依存性で¹⁰⁾、当時の将来技術であるサブミクロンチャンネルでもチャンネル形成領域厚を 300nm から 200nm へと薄くすると、小電流領域でのドレイン・ソース電流 I_{ds} のゲート・ソース電圧の一次増加に必要な V_{gs} の値 (sub-threshold slope S : $\Delta V_{gs}/\Delta \log I_{ds}$) が MOS トランジスタの理論下限である 60mV/dec に近い値が得られることがシミュレーションでも試作トランジスタ (後述) でも示された。チャンネル長が微細化するほど動

型構造³⁾を選択して、薄いチャンネル形成領域を表裏から絶縁ゲートで挟む構造の MOS トランジスタのシミュレーションと試作を開始した。このチャンネルがゲートに挟まれたトランジスタの断面を見るとギリシャ文字の \boxtimes と似ている (中央の

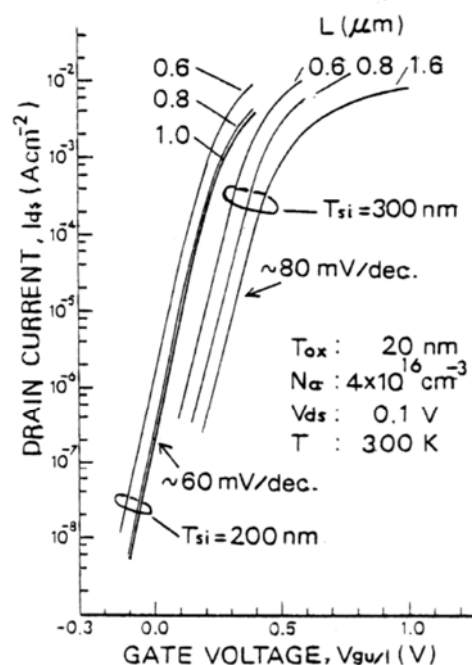


図 5. sub-threshold 領域での I_{ds} - V_{gs} 特性の simulation 結果¹⁰⁾。チャンネル領域厚 T_{si} を小さくしてゆくと理論限界 60mV/dec. に近い急峻な立ち上がりが見られる。(CopyRight: JSAP)

作電圧が小さくなるので（当時から見て将来の）1V以下の電源電圧のMOSLSIにはこの特性Sが理論限界に近い小さい値を有することは、回路の速度、消費電力の観点から重要な価値判断要素である。従来は微細化したとき、Sは大きくなるので、オフ電流が増加して、非動作時の電力消費の増加をもたらしていた。

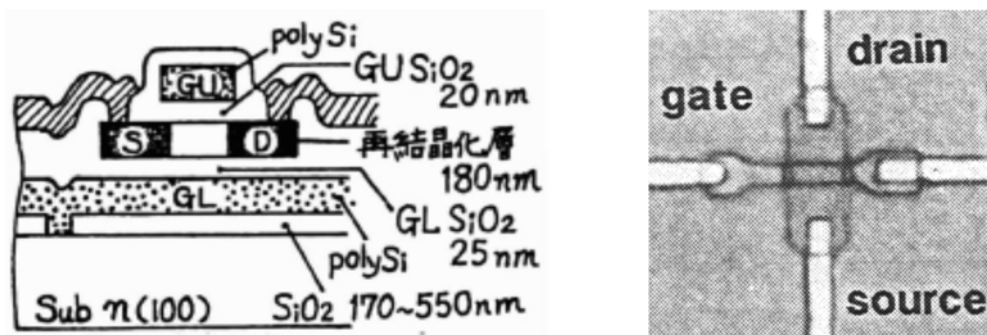


図6. レーザー溶融結晶化技術を用いた横型XMOSの断面図¹¹⁾(CopyRight: JSAP)と平面写真。

横型XMOSのチャネル形成領域に用いる結晶Si薄膜は(下部ゲート)\(下部ゲート酸化膜)構造の上に作成する必要がある。しかし、この時代は未だ特注構造の貼り付けSOI基板の製造販売はされていなかったため、レーザー溶融結晶化技術とラテラル固相エピタキシャル技術とを活用してXMOSの試作を行った。

Si薄膜のレーザー溶融結晶化には結晶化が開始される位置をチャネル形成領域の中に設定することがチャネル形成領域の中に結晶粒界を持ち込まないために重要である。試作実験では、下部ゲート(図6のGL)と薄い下部ゲート酸化膜(GL SiO₂)の積層部分以外を厚い酸化膜で構成し、他の部分よりチャネル形成領域の基板への熱伝導がよくなる—heat sink となる—self-align 結晶化設計を行い、チャネル形成領域の単結晶化を確保した¹¹⁾。試作したXMOSの断面図¹¹⁾と平面写真を図6に示す。得られたトランジスタの出力特性¹¹⁾の一例を図7に示す。チャネル形成領域になるSi薄膜へは不純物は意図的に添加していないがパンチスルーがない飽和特性が得られた。

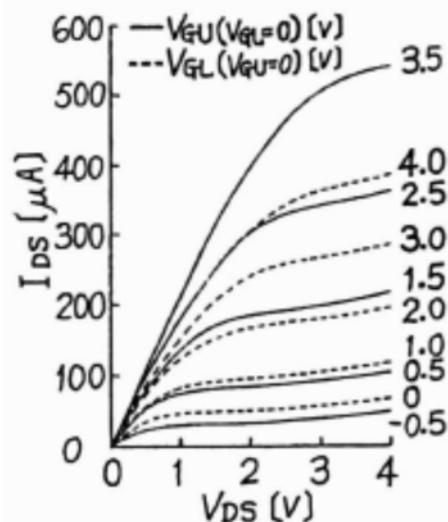


図7. レーザー溶融結晶化XMOSの出力特性¹¹⁾。L_{GU}=2μm。(CopyRight: JSAP)

一方、この構成、製造方法は回路を多層積層する3次元集積とのcompatibilityがあったので採用したが、チャネル形成領域表面の結晶軸制御未達、溶融後結晶化したチャネル形成領域と下部ゲート酸化膜間とで生じる界面反応、等のため、トランジスタの電気特性のバラツキ、ドレイン・ソース電流をオフにするためのゲート電圧変化も大きかったため、低温で結晶成長が可能なラテラル固相エピタキシャル成長技術を用いてXMOSの試

作を行った。

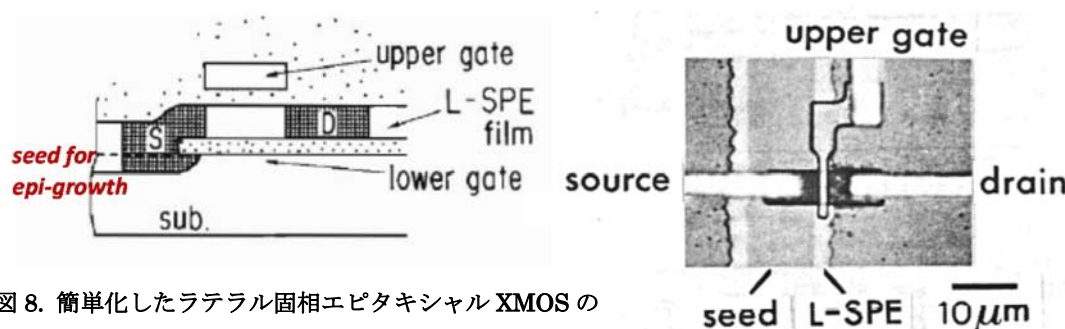


図 8. 単純化したラテラル固相エピタキシャル XMOS の断面図¹²⁾および平面写真。(CopyRight: JSAP)

図 8 は XMOS の動作を確認するための最も単純化したラテラル固相エピタキシャル成長 XMOS の図面で、平面写真に seed と記載されている基板の部分から SiO₂ 上へ堆積されたアモルファス Si 薄膜へ結晶化 (L-SPE)

が進むので結晶軸 (面指数) 情報は単結晶基板からもらえるため¹²⁾、制御も可能で、図 9 の出力特性を得た。この XMOS のチャンネル形成領域へも不純物の添加はしていないがパンチスルー特性は見られていない。この製造技術で作成した更に小寸法の XMOS トランジスタではゲート電圧に対するドレイン・ソース電流立ち上がりの鋭さを示す S は下部ゲートと上部ゲートを接続して測定したところ、チャンネル形成領域厚 60nm、ゲート絶縁膜厚 10nm に対して、チャンネル長 1.25µm のとき S=63mV、チャンネル長 0.25µm のとき S=68mV と理論最小値 60mV に近い値が得られている¹³⁾。

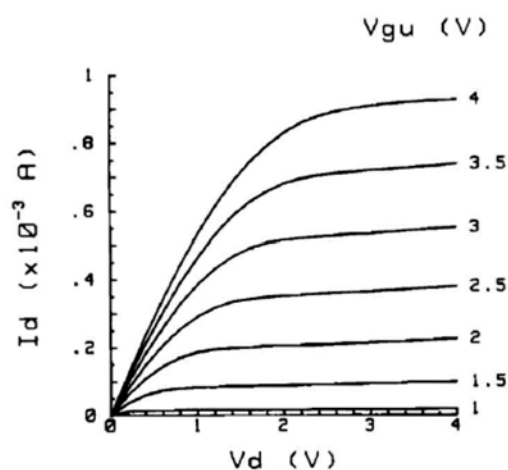


図 9. ラテラル固相エピタキシャル XMOS の出力特性¹²⁾。チャンネル長 = 1.3µm。(CopyRight: JSAP)

これらの実験結果はシミュレーションからもよく説明できることがわかった。この結果をシミュレーションで更に展開して、結論としてチャンネル長 20nm まで XMOS が MOSLSI 素子として使えるであろうことを示した^{14), 15), 16)}。

以上は 1992 年までの研究開発結果である。プロジェクト全体の計画策定・推進を林が担当し、デバイスシミュレーション部分を関川敏弘主任研究官が担当したが、関川敏弘主任研究官は多くの総合的内容の論文の筆頭著者にもなっている。デバイス試作は石井賢一主任研究官実地指導の下で民間企業から技術習得のため出向していた藤田俊介研究員 (レーザ溶融結晶化 XMOS)、相原克好研究員、他で担当した。ラテラル固相エピタキシャル技術の開発とそれを使った初期の XMOS 試作は石井賢一主任研究官が実行した。すべて

の試作デバイスのパターン設計、プロセス設計は林が担当した。XMOS 試作ではプロセス作業者が、林のプロセス設計に反して、こっそりチャンネル形成領域に不純物を添加していたが、不純物添加をやめてもらっても出力特性にパンチスルーが見られなかったので林のプロセス設計を信用し始めた、という逸話もある。

林は通産省の人員削減要請の一環として 1992 年に民間企業に異動しているのもその後の開発状況は次の章で触れる。

4.その後の推移・今後の展望

縦型の XMOS は 1980 年の電総研の提案の後、同様な構造で日立中研から 1989 年に DELTA⁴⁾、1998 年に Folded channel MOS⁵⁾ という名称で学会発表され、続いて 1999 年に U.C. Berkeley から finFET⁶⁾ という名称で学会発表され、この呼称が定着し、世界的に実用化に向けた開発が行われた。日本人の命名した呼称は世界レベルでは定着しない。

一方、プレーナー形 MOS トランジスタの微細化は従来と同じペースで微細化が進められていた。しかし、scaling rule に考慮されていなかった、不純物濃度増加とゲート絶縁膜厚の減少に起因する強電界によるキャリア移動度の低下、ゲート SiO₂ の膜厚限界 (> 3nm) が問題となりだした。

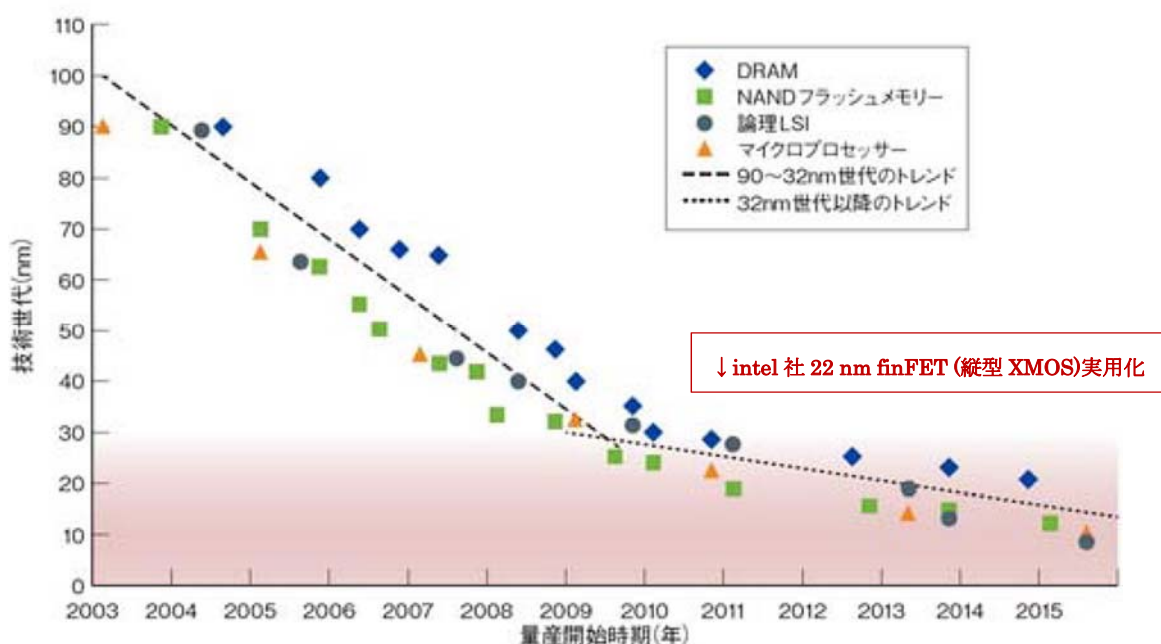


図 10. 半導体の微細化のペースは、技術世代が 32nm を迎えた頃から鈍化。図は SEMI(Semiconductor Equipment and Materials International)の資料を基に日経エレクトロニクスが作成¹⁷⁾。(CopyRight: 日経 BP 社許諾)。Scaling が鈍化した時点で finFET (縦型 XMOS)が実用化されている (林追加)。

これに対して歪チャンネル、SiGe チャンネル、その両方によるキャリア移動度の改善技術が 2000 年前後から開発され、幾何学的膜厚が大きくリーク電流は小さいが静電的には薄い **SiO₂** と等価な高誘電率ゲート絶縁膜 (highK と略称されている。例えば、HfO₂ ベースの HfSiO など) の開発が続いて進められた。これらの成果は後述の finFET の製造技術にも引き継がれている。これらの研究開発フェーズから再度 LSI 材料技術への大学、公立研究所の参画が可能となった。

ところが、2000 年前後 scaling rule の適用の将来に限界が見えてきたとき (図 10) 17)、大企業から天下った日本の大学教授が IEDM (international electron device meeting) のランプセッションで、「これからどうやって学生に教育すればよいかわからなくなってしまった」と嘆いた。大企業育ちの一部の教授は scaling rule に安住してしまっていたのだろうか? 大学、公立研究所はその使命のひとつとして従来路線の限界の先を創出することにある。従来路線の限界が見えてきたときにこそ新技術創生のチャンスと考えるべきである。

一方、2002 年から産総研エレクトロニクス研究部門 (後にナノエレクトロニクス部門と改名) による縦型 XMOS(finFET) に関する成果が数多く投稿されるようになった。1980 年代に行われた feasibility study と異なり、格段に高度化された装置 (とは言え当時の先端企業の装置レベルに到達していない装置が多かった) を活用して実用化に向けた個々の問題点の解決策が詳細に報告されるとともに縦型 XMOS (finFET) の利点も浮き張りにされていった。詳細な内容については参考文献 E1~E16 記載の論文を参照ください。

また世界の企業、大学から数十 nm 世代の finFET の製造に関する研究開発も行われ、ついに 2011 年 intel 社が tri-gate と改名した finFET を 22nm 世代の高性能マイクロプロセッサ MOSLSI に導入するに至った⁷⁾ (文献 7 の 14 ページの鳥瞰図、断面図は図 3 とかなり類似している。copyright の関係でここに図示出来ないが、文献 7 の title で web 検索して比較してみてください。)。現在は 14nm 世代の MOSLSI への導入も完了している。更に foundry 大手の TSMC も 2013 年に finFET をその line-up に導入開始した。

2011 年に intel 社が finFET (縦型 XMOS) を 22nm 世代の MOSLSI に導入したのを機に、SSDM(International Conference on Solid State Devices and Materials) で 1985 年に発表した我々の XMOS の論文¹⁰⁾ に対して **SSDM award** が授与された。日本の学界も外国の大企業を恐れず日本の成果を公に評価できるようになった。

今後 SiLSI は 10nm 世代までは finFET が活用されると予測されているが、その次には nanowire FET の時代に移行する可能性がある。このトランジスタは finFET の動作モードを二次元から三次元 (円柱) に発展させたものであり、finFET の微細化限界を更に超

えることが出来る。一方、Si に代わる二次元材料、graphene、MoS₂などが提案されているが、その材料をチャンネル形成領域として用いた微細化 FET の解析には横型 XMOS の構造が援用されている。大きな障壁は 10nm 以下の量産に使用可能なリソグラフィ装置が未だないことであろう。

5. 関連史料・資料・試料、関連製品等の残存状態

度重なる組織改変等により存在場所不明となっている。

6. 謝辞

1992 年までの XMOS の研究の一部は通産省次世代産業基盤技術研究開発、三次元回路素子の下で行われた。研究を遂行するにあたって、ご支援いただいた当時の電子デバイス部長鶴島稔夫博士、小野雅敏博士に感謝します。2000 年以降の産総研の finFET（縦型 XMOS）研究開発状況を知るための学会発表論文はナノエレクトロニクス研究部門の昌原明植博士、柳永勳博士からご紹介いただきました。

7. 参考文献・資料

(注) figure caption 中の CopyRight に記載されている、“JSAP”は The Japan Society of Applied Physics（応用物理学会），“IEEE”は The Institute of Electrical and Electronics Engineers, Incorporated（アメリカ電気電子学会）の略。

1. S. H. Dennard, F. H. Gaensslen, H-N Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, “Design of ion-implanted MOSFETs with very small physical dimensions,” IEEE Jour. of Solid State Circuits, Vol. SC-9, No. 5, pp. 256-268, Oct. 1974.
2. (縦型 XMOS 特許) 日本特許 1791730, 1980 年 6 月 24 日出願
3. (横型 XMOS 特許) 日本特許 1395513, 1980 年 7 月 9 日出願
4. (DELTA と命名) D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda, “A Fully Depleted Lean-channel Transistor (DELTA),” IEDM Tech. Dig., p. 833, 1989.
5. (folded-channel MOS と命名) D. Hisamoto, W-C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T-J King, J. Bokor, and Chenming Hu, “A Folded-channel MOSFET for Deep-sub-tenth Micron Era,” IEDM Tech. Dig. p1032, 1998.
6. (finFET と最初に命名した論文) X. Huang, W-C Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y-K Choi, K. Asano, V. Subramanian, T-J King, J. Bokor and Chenming Hu, “Sub 50-nm FinFET: PMOS,” IEDM Tech. Dig., p.67, 1999.
7. M. Bohr and K. Mistry, “Intel’s Revolutionary 22nm Transistor Technology”, May, 2011, <http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Details Presentation.pdf>
8. (Moore’s law) G. E. Moore, “Cramming More Components onto Integrated

Circuits”, Electronics Magazine, p. 4, April 19, 1965.

9. S. M. Sze, “VLSI Technology Overviews and Trends”, Japanese Jour. Applied Physics, Vol. 22 supplement 22-1, pp. 3-10, 1983, Proc. the 14th Conf. on Solid State Devices, Tokyo, 1982.

10. T. Sekigawa, Y. Hayashi, K. Ishii, S. Fujita, “XMOS Transistor for a 3D-IC”, 1985 SSDM, C-3-9 LN.

11. 石井賢一、藤田俊介、林 豊、関川敏弘、「二重ゲート MOS(XMOS)素子の試作」、第 46 回応用物理学会学術講演会予稿集 2a-V-9、p.473, 1985 年秋季。

12. K. Ishii, Y. Hayashi, and T. Sekigawa, “Experimental Fabrication of XMOS Transistor Using Lateral Solid-Phase Epitaxy of CVD Silicon Film”, Japanese Jour. of Applied Physics Vol. 29, No. 4, April, 1990, pp. L521-L523.

13. Fig.10, 関川敏弘、林 豊、石井賢一、「2重ゲートによる MOS トランジスタの短チャネル化」電子情報通信学会論文誌 C-II, Vol. J75-C-II, No.10, pp.546-553, 1992 年 12 月。

14. 林、「0.025 μm 時代にも対応できるデバイス設計の指針—キャリアの閉じ込め構造が短チャネル効果を防ぐ—」日経マイクロデバイス 1988 年 7 月号, pp.121-125.

15. Y. Hayashi and T. Sekigawa, “Macroscopic Consideration for sub-0.1 μm Devices”, 8th International Workshop on Future Electron Devices, March 14-16, 1990, Kochi, Japan.

16. Y. Hayashi, “Si LSI as a post Si LSI”, 1994 SSDM, A-0-3, (invited), Proceedings, pp. 403-405.

17. 大下淳一、「【第 1 部：ムーアの法則、黄昏の時】微細化はもう限界、価値創造の手腕で勝負」日経エレクトロニクス、2015 年 4 月号、pp. 30-35.

[2000 年以降のエレクトロニクス部門、ナノエレクトロニクス部門から発表された finFET (縦型 XMOS) 関連論文リスト (例)]

E1. M. Masahara, T. Matsukawa, K. Ishii, Y. X. Liu, H. Tanoue, K. Sakamoto, T. Sekigawa, H. Yamauchi, S. Kanemaru and E. Suzuki,

“15-nm-Thick Si Channel Wall Vertical Double-Gate MOSFET”, IEDM Tech. Digest, pp. 949-951, 2002.

E2. Y. X. Liu, M. Masahara, K. Ishii, T. Tsutsumi, T. Sekigawa, H. Takashima, H. Yamauchi and E. Suzuki,

“Flexible Threshold Voltage FinFETs”, IEDM Tech. Digest, pp. 986-989, 2003.

E3. K. Endo, S. Noda, M. Masahara, T. Kubota, T. Ozaki, S. Samukawa, Y. X. Liu, K. Ishii, Y. Ishikawa, E. Sugimata, T. Matsukawa, H. Takashima, H. Yamauchi, and E. Suzuki,

“Damage-Free Neutral Beam Etching Technology for High Mobility FinFETs”, IEDM Tech. Digest, pp. 859-862, 2005.

- E4. Y. X. Liu, T. Matsukawa, K. Endo, M. Masahara, K. Ishii, S. O'uchi, H. Yamauchi, J. Tsukada, Y. Ishikawa, and E. Suzuki,
"Advanced FinFET CMOS Technology: TiN-Gate, Fin-Height Control and Asymmetric Gate Insulator Thickness 4T-FinFETs", IEDM Tech. Digest, pp. 989-992, 2006.
- E5. S. O'uchi, T. Matsukawa, T. Nakagawa, K. Endo, Y.X. Liu, T. Sekigawa, J. Tsukada, Y. Ishikawa, H. Yamauchi, K. Ishii, E. Suzuki, H. Koike, K. Sakamoto, and M. Masahara,
"Characterization of Metal-Gate FinFET Variability Based on Measurements and Compact Model Analyses", IEDM Tech. Digest, pp. 709-712, 2008.
- E6. K. Endo, S. O'uchi, Y. Ishikawa, Y. X. Liu, T. Matsukawa, K. Sakamoto, J. Tsukada, K. Ishii, H. Yamauchi, E. Suzuki, and M. Masahara,
"Enhancing SRAM Cell Performance by Using Independent Double-Gate FinFET", IEDM Tech. Digest, pp. 857-860, 2008
- E7. T. Matsukawa, Y. X. Liu, W. Mizubayashi, J. Tsukada, H. Yamauchi, K. Endo, Y. Ishikawa, S. O'uchi, H. Ota, S. Migita, Y. Morita, and M. Masahara,
"Suppressing V_t and G_m Variability of FinFETs Using Amorphous Metal Gates for 14nm and Beyond" IEDM Tech. Digest, pp. 175-178, 2012
- E8. S. O'uchi, Y. X. Liu, Y. Hori, T. Irisawa, H. Fuketa, Y. Morita, S. Migita, T. Mori, T. Nakagawa, J. Tsukada, H. Koike, M. Masahara, and T. Matsukawa,
"Robust and Compact Key Generator Using Physically Unclonable Function Based on Logic-Transistor-Compatible Poly-Crystalline-Si Channel FinFET Technology", IEDM Tech. Digest, pp. 648-651, 2015
- E9. Y. X. Liu, K. Ishii, T. Tsutsumi, M. Masahara, and E. Suzuki,
"Ideal Rectangular Cross-Section Si-Fin Channel Double-Gate MOSFETs Fabricated Using Orientation-Dependent Wet Etching" IEEE Electron Device Lett., vol. 24, No. 7, July, 2003
- E10. Y. X. Liu, M. Masahara, K. Ishii, T. Sekigawa, H. Takashima, H. Yamauchi, and E. Suzuki,
"A Highly Threshold Voltage-Controllable 4T FinFET with an 8.5-nm-Thick Si-Fin Channel", IEEE Electron Device Lett., Vol. 25, No. 7, July, 2004
- E11. M. Masahara, Y. X. Liu, S. Hosokawa, T. Matsukawa, K. Ishii, H. Tanoue, K. Sakamoto, T. Sekigawa, H. Yamauchi, S. Kanemaru, and E. Suzuki,
"Ultrathin Channel Vertical DG MOSFET Fabricated by Using Ion-Bombardment-Retarded Etching", IEEE Trans. Electron Devices, Vol. 51, No. 12, pp. 2078-2085, Dec., 2004.
- E12. M. Masahara, Y.X. Liu, K. Sakamoto, K. Endo, T. Matsukawa, K. Ishii, T. Sekigawa, H. Yamauchi, H. Tanoue, S. Kanemaru, H. Koike, and E. Suzuki,
"Demonstration, Analysis, and Device Design Considerations for Independent DG MOSFETs", IEEE Trans. on Electron Devices, Vol. 52, No. 9, Sept., 2005.
- E13. T.Matsukawa, S.O'uchi, K.Endo, Y.Ishikawa, H.Yamauchi, Y.X.Liu, J.Tsukada, K.Sakamoto

and M.Masahara,

“Comprehensive Analysis of Variability Sources of FinFET Characteristics”, 2009 Symposium on VLSI Technology, Digest of Tech papers, pp.118-119.

E14. Y. X. Liu, K. Endo, S.O'uchi, T. Kamei, J. Tsukada, H.Yamauchi, Y. Ishikawa, T. Hayashida, K.Sakamoto, T. Matsukawa, A. Ogura, and M.Masahara,

“On the Gate-Stack Origin Threshold Voltage Variability in Scaled FinFETs and Multi-FinFETs”, 2010 Symposium on VLSI Technology, Digest of Tech papers, pp.101-102.

E15. K. Endo, S. O'uchi, T. Matsukawa, Y. Liu, K. Sakamoto, W. Mizubayashi, S. Migita, Y. Morita, H. Ota, E. Suzuki, and M. Masahara,

“Enhancing SRAM Performance by Advanced FinFET Device and Circuit Technology Collaboration for 14nm Node and Beyond”, 2013 Symposium on VLSI Technology, Digest of Tech papers, pp.214-215.

E16. T. Matsukawa, K. Fukuda, Y.X. Liu, K. Endo, J. Tsukada, H. Yamauchi, Y. Ishikawa, S. O'uchi, W. Mizubayashi, S. Migita, Y. Morita, H. Ota and M. Masahara,

“Lowest Variability SOI FinFETs Having Multiple V_t by Back-Biasing”, 2014 Symposium on VLSI Technology, Digest of Tech papers, pp.142-143.

8. 著者略歴

氏名：林 豊

- 1964年4月～1992年3月 **電子技術総合研究所**。

半導体デバイス技術の萌芽期に、外部との技術提携無し（上司方針）に、電子技術総合研究所独自の半導体デバイスの技術開発を行い、シリコンLSI技術まで発展させ基礎を築き、更に将来技術の提案、実証を行った。

その過程で各種の世界初のシリコンデバイス技術の開発を行った。下記例参照。

その多くは製品レベルで標準技術となっている（*印）。

tunnel source MOSトランジスタ（1965年）、MOSトランジスタsub-threshold 特性の発見と理論（1967年）、

Schottky TTL*、VMOS,DMOS*、高速n-channel SRAM*、channel注入形不揮発性メモリ*、source-side注入形不揮発性メモリ*、MONOSメモリ*、光閉じ込め

（textured）透明導電膜*（アモルファス等薄膜太陽電池の高効率化技術）、10 μ m厚までの高効率超薄結晶Si太陽電池（当時は450 μ mレベル厚が常識）、XMOS、等。

- 1971～72年 **Stanford大学にvisiting researcher (NASA fellow 待遇)**として滞在、

医用電子工学の研究開発（超音波血流計、超音波心臓撮像装置の開発）に参加。

MEMsマイクロフォンの提案、シリコンスルーホール基板（現在のTSV）開発。

- 1981～89年 **東京大学臨時講師**を兼務

- 1982～92年 サミットフォローアップ技術協力国際会議(ヴェルサイユ・サミット合意活動)「太陽光発電プロジェクト」日本代表団員(通産省)。

およびNEDO太陽電池開発部会委員（アモルファス）、委員長（結晶）。

- 1983～2009年VLSI Symposium Executive Committee member

- 1990～2009年 **筑波大学非常勤講師**を兼務

- 1992年4月～1999年4月2日 **ソニー株式会社**

半導体事業本部技師長、超LSI研究所副所長、

セミコンダクタカンパニー・バイスプレジデント（研究担当）、超LSI研究所長兼務、

MOSLSIの0.25 μ m世代技術～0.13 μ m世代技術開発統括。

ソニー株式会社副理事。

- 1999年4月21日～2001年12月31日 **Halo LSI Design and Device Technology, Inc.**

アメリカ本社 Technology Director、日本支社（株）ニューヘイロ 専務取締役、

twin MONOSメモリの開発。

- 2002年4月～2003年3月 （株）**資源総合システム**（NEDO/METIのthink-tank）

客員上席研究員（非常勤）、PV2030構想策定に参加。

- 2003年2月～2015年3月 独立行政法人**産業技術総合研究所**（非常勤）
ナノテクノロジー研究部門客員研究員から招聘研究員、
ナノシステム研究部門特任フェロー。
特許収入（2.4億）の実現、ナノメモリ、各種センサに関する研究開発。
- 2009年9月～2015年3月 **筑波大学数理物質科学研究科**非常勤研究員
「つくばナノエレクトロニクス産学独連携教育システム」のプロジェクト推進支援。
- 2009年4月～現在 **大阪大学産業科学研究所** 招聘研究員（非常勤）
- 2012年1月～現在 **豊田工業大学** 招聘研究員、太陽電池の研究開発支援。

受理日：2016年9月7日